

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PAT-NO: JP409288527A  
DOCUMENT-IDENTIFIER: JP 09288527 A  
TITLE: POWER CONSUMPTION REDUCING CIRCUIT  
PUBN-DATE: November 4, 1997

INVENTOR-INFORMATION:  
NAME  
YAMASHITA, TOSHITSUGU

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
NEC CORP N/A

APPL-NO: JP08100909  
APPL-DATE: April 23, 1996

INT-CL (IPC): G06F001/04, G06F001/32

ABSTRACT:

PROBLEM TO BE SOLVED: To more effectively reduce power consumption by deciding and supplying the combination of an operation frequency and operation voltage, which can operate a system logic.

SOLUTION: The input frequency and supply voltage to the system logic 6 is decided by an operation frequency/operation voltage deciding circuit 2. The operation frequency/operation voltage deciding circuit 2 has a function for deciding lowest operation voltage for operating with the desired frequency or a highest operation frequency for operating with desired voltage by using a depending relation between the operation frequency and operation voltage of CMOS LSI. The decided input frequency and supply voltage are supplied to the system logic 6 by a frequency variable oscillation circuit 3 and a voltage variable regulator 4. When power consumption is to be reduced, not only the frequency is lowered but also lowest voltage which can be operated with the frequency is supplied to the system logic 6. Thus, the effect of low power consumption becomes larger.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-288527

(43) 公開日 平成9年(1997)11月4日

(51) Int.Cl. <sup>8</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 1/04	3 0 1		G 0 6 F 1/04	3 0 1 C
1/32			1/00	3 3 2 Z

審査請求 有 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平8-100909

(22) 出願日 平成8年(1996)4月23日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 山下 敏嗣

東京都港区芝五丁目7番1号 日本電気株式会社内

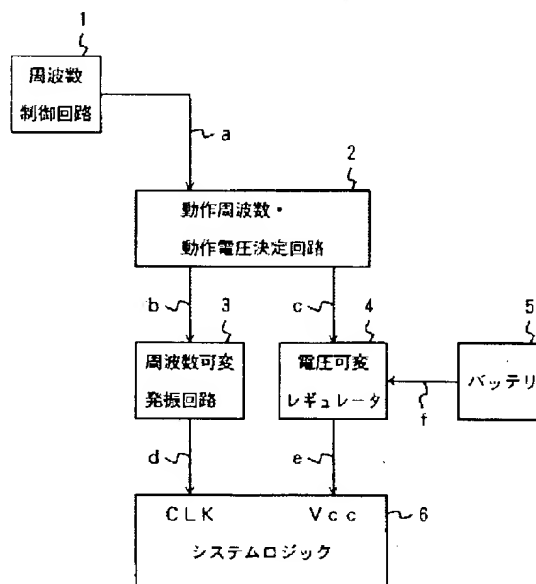
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 消費電力低減回路

(57) 【要約】

【課題】 CMOS L S I の動作周波数と動作電圧の依存関係を利用し、システムロジックへの供給電圧も可変にすることにより、より効果的な低消費電力化を実現。

【解決手段】 周波数を変更可能な発振回路3、電圧を変更可能なレギュレータ4、システムロジックが動作可能な周波数と電源電圧の組み合わせを決定する動作周波数・動作電圧決定回路2により構成される。消費電力を低減させるために、周波数を下げるだけでなく、その周波数にて動作可能な最低電圧をシステムロジックに供給する。



## 【特許請求の範囲】

【請求項1】 電源電圧、動作クロック周波数によりその消費電力が変化する機器に用いられる消費電力低減回路であり、外部から指定された周波数に基づいて前記機器に供給するクロックの動作周波数と供給電圧を決定する決定回路と、前記決定回路で決定された動作周波数のクロックを生成し、前記機器に供給する発振回路と、前記決定回路で決定された供給電圧を生成し、前記機器に供給する可変電源とから構成される消費電力低減回路。

【請求項2】 電源電圧、動作クロック周波数によりその消費電力が変化する機器に用いられる消費電力低減回路であり、前記機器に供給する電圧を生成する可変電圧源と、前記機器に供給するクロックを生成する発振回路と、前記可変電圧源に給電するバッテリーと、前記バッテリーの出力電圧を検出する検出手段と、前記検出手段で検出されたバッテリー出力電圧が所定の値より大であれば、外部から指定された周波数に基づいて前記機器に供給するクロックの周波数と供給電圧とを決定し、決定された周波数を示す信号及び決定された供給電圧を前記発振回路及び前記可変電圧源に各々供給し、バッテリー出力電圧が所定の値以下であれば、外部から指定された周波数に基づいて決定されたクロックの動作周波数と供給電圧とをより低い値に変更し、変更された周波数を示す信号及び変更された供給電圧を示す信号を、前記発振回路及び前記可変電圧源に各々供給する決定回路とから構成される消費電力低減回路。

【請求項3】 電源電圧、動作クロック周波数によりその消費電力が変化する機器に用いられる消費電力低減回路であり、前記機器に供給する電圧を生成する可変電圧源と、前記機器に供給するクロックを生成する発振回路と、前記可変電圧源に給電するバッテリーと、前記バッテリーの出力電圧を検出する検出手段と、前記検出手段で検出されたバッテリー出力電圧が所定の値より大であれば、外部から指定された周波数に基づいて前記機器に供給するクロックの周波数と供給電圧とを決定し、決定された周波数を示す信号及び決定された供給電圧を前記発振回路及び前記可変電圧源に各々供給し、バッテリー出力電圧が所定の値以下であれば、外部から指定された周波数に基づいて決定されたクロックの動作周波数をより低い値に変更し、変更された周波数を示す信号及び決定された供給電圧を示す信号を、前記発振回路及び前記可変電圧源に各々供給する決定回路とから構成される消費電力低減回路。

【請求項4】 電源電圧、動作クロック周波数によりその消費電力が変化する機器に用いられる消費電力低減回

路であり、

前記機器に供給する電圧を生成する可変電圧源と、前記機器に供給するクロックを生成する発振回路と、前記可変電圧源に給電するバッテリーと、前記バッテリーの出力電圧を検出する検出手段と、前記検出手段で検出されたバッテリー出力電圧が所定の値より大であれば、外部から指定された周波数に基づいて前記機器に供給するクロックの周波数と供給電圧とを決定し、決定された周波数を示す信号及び決定された供給電圧を前記発振回路及び前記可変電圧源に各々供給し、バッテリー出力電圧が所定の値以下であれば、外部から指定された周波数に基づいて決定された供給電圧をより低い値に変更し、決定された周波数を示す信号及び変更された供給電圧を示す信号を、前記発振回路及び前記可変電圧源に各々供給する決定回路とから構成される消費電力低減回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電源電圧、動作クロック周波数によりその消費電力が変化する機器、例えば、パーソナルコンピュータ等に用いられる消費電力低減回路に関する。

## 【0002】

【従来の技術】パーソナルコンピュータ、特にノートタイプのパーソナルコンピュータにおいては、バッテリーの長時間駆動を可能とし、また、機器自体が発する熱の放散を容易とするために、装置の低消費電力化が重要になっている。

【0003】従来から、パーソナルコンピュータの消費電力低減にはさまざまな工夫がなされてきた。消費電力低減の手法の一つに、CPUを含むシステムロジックへの入力周波数を低くするというものがあった。現在のパーソナルコンピュータで使用されているほとんどのシステムロジックは、CMOS LSIにより構成されており、その消費電力は動作周波数にほぼ比例するので、本手法は消費電力低減に有効である。この消費電力低減手法について、図面を参照しながら説明する。

【0004】図3は従来のパーソナルコンピュータにおける動作周波数低減回路のブロック図である。図3において、1は周波数制御回路、3は周波数可変発振回路、6はCPUを含むシステムロジックを示す。また、aはコントロール信号、dはシステムロジックへの入力クロックを示す。周波数可変発振回路3は、コントロール信号aにより、システムロジック6への入力クロックdの周波数を変更することができる。

【0005】周波数制御回路1は、システムロジックに供給すべき周波数を決定し、コントロール信号aにより、周波数可変発振回路3へ伝える。システムロジックに供給すべき周波数の決定方法についてはいろいろな方法が提案されているが、ここでは単に、通常動作時は、

システムロジックが動作可能な最大周波数で動作させ、消費電力を低減したいときには低い周波数で動作させるものとして説明する。

#### 【0006】

【発明が解決しようとする課題】しかしながら上記従来の構成では、消費電力低減の効果が小さいという問題がある。その理由は、システムロジックへの供給電圧が固定されているため、消費電力を低減するために入力周波数を低くした場合にも、不必要な高い電圧をシステムロジックに供給しているからである。現在ほとんどのシステムロジックに使用されているCMOS LSIは、動作周波数と動作電圧に依存関係があり、動作周波数を低くしたときには、低い電圧で動作可能である。

【0007】この発明の目的は、CMOS LSIの動作周波数と動作電圧の依存関係を利用し、システムロジックへの供給電圧も可変にすることにより、より効果的な低消費電力回路を実現することである。

#### 【0008】

【課題を解決するための手段】この発明の消費電力低減回路は、周波数を変更可能な発振回路と、電圧を変更可能な電圧源と、システムロジックが動作可能な周波数と電源電圧の組み合わせを決定する、動作周波数・動作電圧決定回路により構成される。

【0009】この発明の構成によれば、システムロジックへの入力周波数及び供給電圧は、動作周波数・動作電圧決定回路により決定される。本回路は、CMOS LSIの動作周波数と動作電圧の依存関係を利用し、所望の周波数で動作させるための最低動作電圧、あるいは所望の電圧で動作させるための最高動作周波数を決定する機能を有する。動作周波数・動作電圧決定回路により決定された入力周波数及び供給電圧は、周波数可変発振回路及び電圧可変レギュレータによりそれぞれシステムロジックへ供給される。消費電力を低減したいときには、周波数を低くするだけでなく、その周波数にて動作可能な最低電圧をシステムロジックに供給するため、従来の周波数のみを可変にする方式に比べ、より低消費電力の効果が大きい。

#### 【0010】

【発明の実施の形態】この発明の第一の実施形態について図面を参照して説明する。図1は、この発明の第一の実施例の消費電力低減回路のブロック図であり、1は周波数制御回路、2は動作周波数・動作電圧決定回路、3は周波数発振回路、4は電圧可変レギュレータ、5はバッテリー、6はシステムロジックを示す。

【0011】また、aは周波数制御回路1により決定されたコントロール信号、bは動作周波数・動作電圧決定回路2により決定された周波数コントロール信号、cは同じく動作周波数・動作電圧決定回路2により決定された電圧コントロール回路、dは周波数可変発振回路3により生成されたシステムロジックへの入力クロック、eは

4の電圧可変レギュレータ4により生成された入力電圧、fはバッテリー5から電圧可変レギュレータ4へ供給する電源電圧を示す。

【0012】図3に示した従来技術との相違は、動作周波数・動作電圧決定回路2、電圧可変レギュレータ4を設けたことである。以上のように構成された消費電力低減回路について以下にその動作を説明する。

【0013】周波数制御回路1は、システムロジックに供給すべき周波数を決定し、コントロール信号aを用いて2の動作周波数・動作電圧決定回路2に伝える。周波数の決定方法は、従来と同様、通常動作時はシステムロジックが動作可能な最大周波数で動作させ、消費電力を低減したいときには、低い周波数で動作させるものとする。動作周波数・動作電圧決定回路2は、コントロール信号aをもとに、周波数制御回路1で決定された周波数にてシステムロジックが動作可能な最低電圧を決定する。

【0014】動作周波数と動作電圧の組み合わせは、システムロジックを構成するCMOS LSIの特性により決定されるものであり、この発明の消費電力低減回路を設計する前に、あらかじめ設定しておくことが可能である。動作周波数・動作電圧決定回路は、指定される周波数に対応する動作電圧値を、例えば、テーブルとして内蔵している。

【0015】動作周波数・動作電圧決定回路2により決定された動作周波数は、コントロール信号bにより、周波数可変発振回路3に伝えられ、周波数発振回路は、所望の入力クロックdを生成し、システムロジック6に供給する。また、動作周波数・動作電圧決定回路2により決定された入力電圧は、コントロール信号eにより、電圧可変レギュレータ4に伝えられ、電圧可変レギュレータ4のバッテリー5から供給される供給電圧fをもとに、決定された入力電圧を生成し、システムロジック6へ供給する。

【0016】次に、第二の実施形態について図面を参照しながら説明する。図2は、この発明の第一の実施例の消費電力低減回路のブロック図である。図1に示す前述の第一の実施形態との相違は、電圧検出回路7を加えた点にある。gは電圧検出回路7により出力される検出電圧値である。以上のように構成された低消費電力低減回路についてその動作を説明する。

【0017】電圧検出回路7は、5のバッテリーが供給する電圧fが、システムロジックを最高周波数で動作させることが可能かどうかを検出する。バッテリー5が十分に充電されており、システムロジックへ十分な電圧を供給可能なときは、前述の第一の実施例と同じ動作をする。すなわち、通常は最高周波数及び、最高電圧をシステムロジックへ供給し、消費電力を低減したいときには、周波数制御回路1が動作周波数を決定し、その周波数が動作可能な最低電圧をシステムロジックへ供給する。

5

【0018】一方、バッテリー出力電圧fが十分で無い場合は、すなわち、バッテリー出力電圧が所定値以下のときは、動作周波数・動作電圧決定回路2は、そのときのバッテリー出力電圧で動作可能な最高周波数を決定する。この場合、コントロール信号aが最高周波数を要求しても、コントロール信号gにより、バッテリー出力電圧優先で動作周波数が決定される。すなわち、この実施形態では、動作周波数・動作電圧決定回路2は、バッテリー出力電圧に対応して、クロック動作周波数と動作電圧との組を格納するテーブルを内蔵する。

【0019】決定された動作周波数及び、動作電圧は前述の第一の実施例同様、周波数発振回路3及び電圧可変レギュレータ4を用いてそれぞれシステムロジック6に供給される。

【0020】このような構成をとることにより、バッテリーが放電し電源電圧が低下した場合にも、周波数を下げることにより、システムロジックを動作させ続けることができる。

【0021】なお、この第2の実施形態では、バッテリー電圧の変化に応じて、クロック動作周波数・動作電力の一方のみを、外部から指定された周波数に対応する値が変更してもよい。

【0022】すなわち、バッテリー電圧の変化に応じてクロック動作周波数は外部から指定された値のままとし、動作電圧のみを外部から指定された周波数に対応する値から低下させてもよい。また、バッテリー電圧の変化

6

に応じて動作電圧は外部から指定された周波数に対応する値のままとし、クロック動作周波数のみを外部から指定された周波数から低下させてもよい。

【0023】

【発明の効果】この発明の消費電力低減回路は、システムロジックが動作可能な動作周波数・動作電圧の組み合わせを決定し、供給することにより、周波数のみを制御する消費電力低減回路に比べ、より大きな省電力効果が得られる。

10 【0024】また、電圧検出回路と組み合わせることにより、バッテリー駆動によるシステム動作時間をさらに延ばすことができる。

【図面の簡単な説明】

【図1】この発明の第一の実施形態の消費電力低減回路のブロック図である。

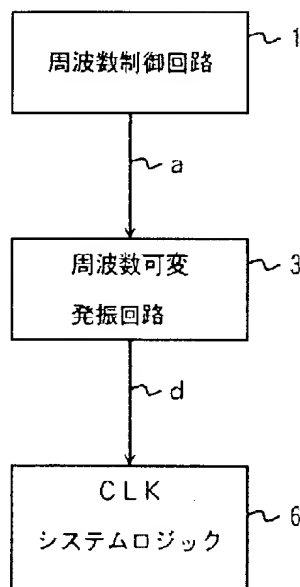
【図2】この発明の第二の実施形態の消費電力低減回路のブロック図である。

【図3】従来の消費電力低減回路のブロック図である。

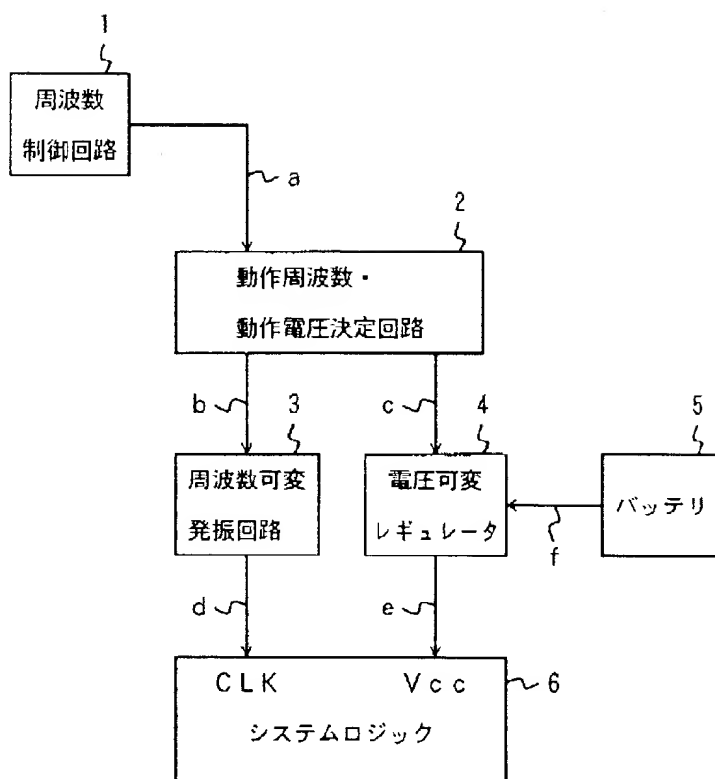
【符号の説明】

- |   |                |
|---|----------------|
| 1 | 周波数制御回路        |
| 2 | 動作周波数・動作電圧決定回路 |
| 3 | 周波数可変回路        |
| 4 | 電圧可変レギュレータ     |
| 5 | バッテリー          |
| 6 | システムロジック       |
| 7 | 電圧検出回路         |

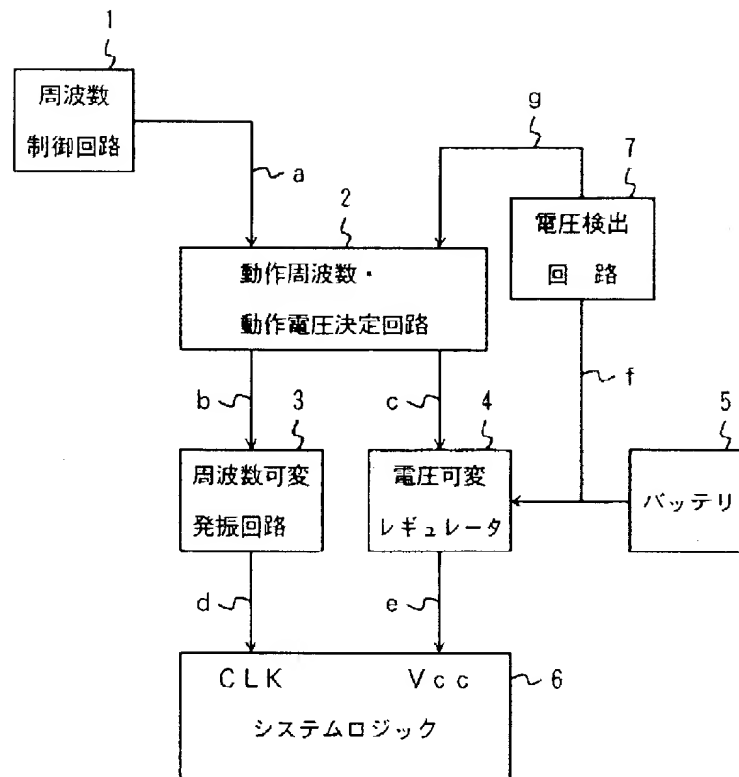
【図3】



【図1】



【図2】





\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the power consumption reduction circuit used for the device from which the power consumption changes with supply voltage and clock frequencies of operation, for example, a personal computer etc.

[0002]

[Description of the Prior Art] In the personal computer, especially the note type personal computer, in order to make easy stripping of the heat which enables the long duration drive of a dc-battery, and the device itself emits, low-power-ization of equipment is important.

[0003] Various devices have been made by power consumption reduction of a personal computer from the former. There was a thing of making low the input frequency to the system logic which contains CPU in one of the technique of power consumption reduction. Almost all the system logic currently used with the current personal computer is CMOS. Since it is constituted by LSI and the power consumption is proportional to clock frequency mostly, this technique is effective in power consumption reduction. This power consumption reduction technique is explained referring to a drawing.

[0004] Drawing 3 is the block diagram of the clock frequency reduction circuit in the conventional personal computer. In drawing 3, 1 shows the system logic in which a frequency-control circuit and 3 include a frequency adjustable oscillator circuit, and 6 includes CPU. Moreover, a shows a control signal and d shows the input clock to system logic. The frequency adjustable oscillator circuit 3 can change the frequency of input-clock d to the system logic 6 with the control signal a.

[0005] The frequency-control circuit 1 determines the frequency which should be supplied to system logic, and tells it to the frequency adjustable oscillator circuit 3 with the control signal a. Although approaches various about the decision approach of the frequency which should be supplied to system logic are proposed, at the time of normal operation, it is made to operate with the maximum frequency to which system logic can operate, and it only explains here as what is operated on a low frequency to reduce power consumption.

[0006]

[Problem(s) to be Solved by the Invention] However, with the above-mentioned conventional configuration, there is a problem that the effectiveness of power consumption reduction is small. The reason is that it supplies the unnecessary high electrical potential difference to system logic also when an input frequency is made low in order to reduce power consumption since the supply voltage to system logic is being fixed. CMOS currently used for most current system logic LSI has a dependency in clock frequency and operating voltage, and when clock frequency is made low, it can operate on a low electrical potential difference.

[0007] The purpose of this invention is CMOS. It is realizing a more effective low-power circuit by using the clock frequency of LSI, and the dependency of operating voltage, and making supply voltage to system logic adjustable.

[0008]

[Means for Solving the Problem] The power consumption reduction circuit of this invention is constituted by the clock frequency and the operating voltage decision circuit which determines the combination of the oscillator circuit which can change a frequency, the voltage source which can change an electrical potential difference, the frequency in which system logic can operate, and supply voltage.

[0009] According to the configuration of this invention, the input frequency and supply voltage to system logic are determined by clock frequency and the operating voltage decision circuit. This circuit is CMOS. The clock frequency of LSI and the dependency of operating voltage are used, and it has the function to determine the highest clock frequency for making it operate on the minimum operating voltage for making it operate on a desired frequency, or a desired electrical potential difference. The input frequency and supply voltage which were determined by clock frequency and the operating voltage decision circuit are supplied to system logic, respectively by the frequency adjustable oscillator circuit and the electrical-potential-difference adjustable regulator. In order to supply the minimum electrical potential difference which can operate on the frequency to system logic to reduce power consumption it not only to make a frequency low, but, compared with the method which makes only the conventional frequency adjustable, the effectiveness of a low power is more large.

[0010]

[Embodiment of the Invention] The first operation gestalt of this invention is explained with reference to a drawing. drawing 1 -- the block diagram of the power consumption reduction circuit of the first example of this invention -- it is -- 1 -- in a frequency control circuit and 2, an electrical-potential-difference adjustable regulator and 5 show a dc-battery, and, as for clock frequency and an operating voltage decision circuit, and 3, 6 shows system logic, as for a frequency oscillator circuit and 4.

[0011] moreover, the control signal with which a was determined by the frequency-control circuit 1, the frequency control signal with which b was determined by clock frequency and the operating-voltage decision circuit 2, the electrical-potential-difference control circuit as which c was similarly determined by clock frequency and the operating-voltage decision circuit 2, and d boil frequency adjustable oscillator-circuit 3 -- the input clock to the generated system logic, the input voltage by which e was generated with the electrical-potential-difference adjustable regulator 4 of 4, and f show the supply voltage which supplies from a dc-battery 5 to an electrical-potential-difference adjustable regulator 4.

[0012] The difference with the conventional technique shown in drawing 3 is having formed clock frequency and the operating voltage decision circuit 2, and the electrical-potential-difference adjustable regulator 4. The actuation is explained below about the power consumption reduction circuit constituted as mentioned above.

[0013] The frequency-control circuit 1 determines the frequency which should be supplied to system logic, and tells it to the clock frequency and the operating voltage decision circuit 2 of 2 using the control signal a. As usual, at the time of normal operation, when it wants to operate the decision approach of a frequency with the maximum frequency to which system logic can operate, and to reduce power consumption, it shall be operated on a low frequency. Clock frequency and the operating voltage decision circuit 2 determine the minimum electrical potential difference on which system logic can operate on the frequency determined in the frequency-control circuit 1 based on the control signal a.

[0014] Before the combination of clock frequency and operating voltage is determined by the property of CMOSLSI which constitutes system logic and designs the power consumption reduction circuit of this invention, it can be set up beforehand. Clock frequency and an operating voltage decision circuit build in the operating voltage value corresponding to the frequency specified as a table.

[0015] The clock frequency determined by clock frequency and the operating voltage decision circuit 2 is told to the frequency adjustable oscillator circuit 3 by the control signal b, and a frequency oscillator circuit generates desired input-clock d, and supplies it to the system logic 6. Moreover, the input voltage determined by clock frequency and the operating voltage decision circuit 2 is told to the electrical-potential-difference adjustable regulator 4 by the control signal e, generates the determined input voltage based on the supply voltage f supplied from the dc-battery 5 of the

electrical-potential-difference adjustable regulator 4, and supplies it to it to the system logic 6.

[0016] Next, it explains, referring to a drawing about the second operation gestalt. Drawing 2 is the block diagram of the power consumption reduction circuit of the first example of this invention. The point of having added the electrical-potential-difference detector 7 has the difference with the first above-mentioned operation gestalt shown in drawing 1. g is a detection electrical-potential-difference value outputted by the electrical-potential-difference detector. The actuation is explained about the low-power reduction circuit constituted as mentioned above.

[0017] It detects whether as for the electrical-potential-difference detector 7, it is possible for the electrical potential difference f which the dc-battery of 5 supplies to operate system logic on the highest frequency. It fully charges, and to system logic, a dc-battery 5 carries out the same actuation as the first above-mentioned example, when sufficient electrical potential difference can be supplied. That is, the frequency control circuit 1 determines clock frequency and supplies the minimum electrical potential difference on which the frequency can operate to system logic to usually supply the highest frequency and a maximum voltage to system logic, and reduce power consumption.

[0018] On the other hand, the dc-battery output voltage f comes out enough, and when dc-battery output voltage is below a predetermined value when there is nothing namely, clock frequency and the operating voltage decision circuit 2 determine the highest frequency which can operate with the dc-battery output voltage at that time. In this case, even if the control signal a requires the highest frequency, clock frequency is determined by the control signal g by dc-battery output voltage priority. That is, with this operation gestalt, clock frequency and the operating voltage decision circuit 2 build in the table which stores the group of clock clock frequency and operating voltage corresponding to dc-battery output voltage.

[0019] The determined clock frequency and operating voltage are supplied to the system logic 6 like the first above-mentioned example using the frequency oscillator circuit 3 and the electrical-potential-difference adjustable regulator 4, respectively.

[0020] Also when a dc-battery discharges and supply voltage falls by taking such a configuration, operating system logic can be continued by lowering a frequency.

[0021] In addition, with this 2nd operation gestalt, the value corresponding to the frequency specified from the outside may change either ~~clock~~ clock frequency or operating power according to change of battery voltage.

[0022] That is, according to change of battery voltage, ~~clock~~ clock frequency may reduce only operating voltage from the value corresponding to the frequency specified from the outside as with the value specified from the outside. Moreover, according to change of battery voltage, operating voltage may be considered as as [ the value corresponding to the frequency specified from the outside ], and only clock clock frequency may be reduced from the frequency specified from the outside.

[0023]

[Effect of the Invention] When the power consumption reduction circuit of this invention determines and supplies the combination of the clock frequency and operating voltage to which system logic can operate, the bigger power-saving effectiveness is acquired compared with the power consumption reduction circuit which controls only a frequency.

[0024] Moreover, the system operating time by dc-battery drive can be further extended by combining with an electrical-potential-difference detector.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The decision circuit which is a power consumption reduction circuit used for the device from which the power consumption changes with supply voltage and clock frequencies of operation, and determines the clock frequency and supply voltage of the clock supplied to said device based on the frequency specified from the outside, The power consumption reduction circuit which consists of sources of good transformation which generate the clock of the clock frequency determined in said decision circuit, generate the supply voltage determined in the oscillator circuit supplied to said device, and said decision circuit, and are supplied to said device.

[Claim 2] The adjustable voltage source which is the power consumption reduction circuit used for the device from which the power consumption changes with supply voltage and clock frequencies of operation, and generates the electrical potential difference supplied to said device, From a predetermined value, if the dc-battery output voltage detected with the oscillator circuit which generates the clock supplied to said device, the dc-battery which supplies electric power to said adjustable voltage source, a detection means to detect the output voltage of said dc-battery, and said detection means is size The frequency and supply voltage of a clock which are supplied to said device based on the specified frequency from the outside are determined. Supply respectively the signal which shows the determined frequency, and the determined supply voltage to said oscillator circuit and said adjustable voltage source, and if dc-battery output voltage is below a predetermined value The clock frequency and supply voltage of a clock which were determined based on the specified frequency from the outside are changed into a lower value. The power consumption reduction circuit which consists of decision circuits which supply respectively the signal which shows the signal which shows the changed frequency, and the changed supply voltage to said oscillator circuit and said adjustable voltage source.

[Claim 3] The adjustable voltage source which is the power consumption reduction circuit used for the device from which the power consumption changes with supply voltage and clock frequencies of operation, and generates the electrical potential difference supplied to said device, From a predetermined value, if the dc-battery output voltage detected with the oscillator circuit which generates the clock supplied to said device, the dc-battery which supplies electric power to said adjustable voltage source, a detection means to detect the output voltage of said dc-battery, and said detection means is size The frequency and supply voltage of a clock which are supplied to said device based on the specified frequency from the outside are determined. Supply respectively the signal which shows the determined frequency, and the determined supply voltage to said oscillator circuit and said adjustable voltage source, and if dc-battery output voltage is below a predetermined value The power consumption reduction circuit which consists of decision circuits which supply respectively the signal which shows the signal which changes the clock frequency of the clock determined based on the specified frequency from the outside into a lower value, and shows the changed frequency, and the determined supply voltage to said oscillator circuit and said adjustable voltage source.

[Claim 4] The adjustable voltage source which is the power consumption reduction circuit used for the device from which the power consumption changes with supply voltage and clock frequencies of

operation, and generates the electrical potential difference supplied to said device, From a predetermined value, if the dc-battery output voltage detected with the oscillator circuit which generates the clock supplied to said device, the dc-battery which supplies electric power to said adjustable voltage source, a detection means to detect the output voltage of said dc-battery, and said detection means is size The frequency and supply voltage of a clock which are supplied to said device based on the specified frequency from the outside are determined. Supply respectively the signal which shows the determined frequency, and the determined supply voltage to said oscillator circuit and said adjustable voltage source, and if dc-battery output voltage is below a predetermined value The power consumption reduction circuit which consists of decision circuits which supply respectively the signal which shows the signal which changes the supply voltage determined based on the specified frequency from the outside into a lower value, and shows the determined frequency, and the changed supply voltage to said oscillator circuit and said adjustable voltage source.

---

[Translation done.]

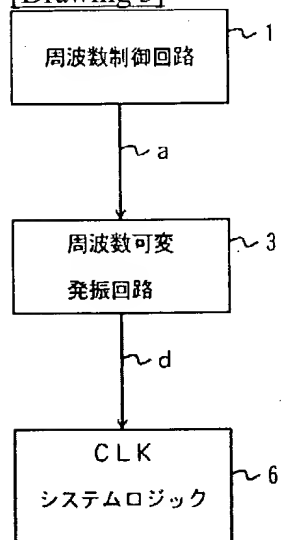
\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

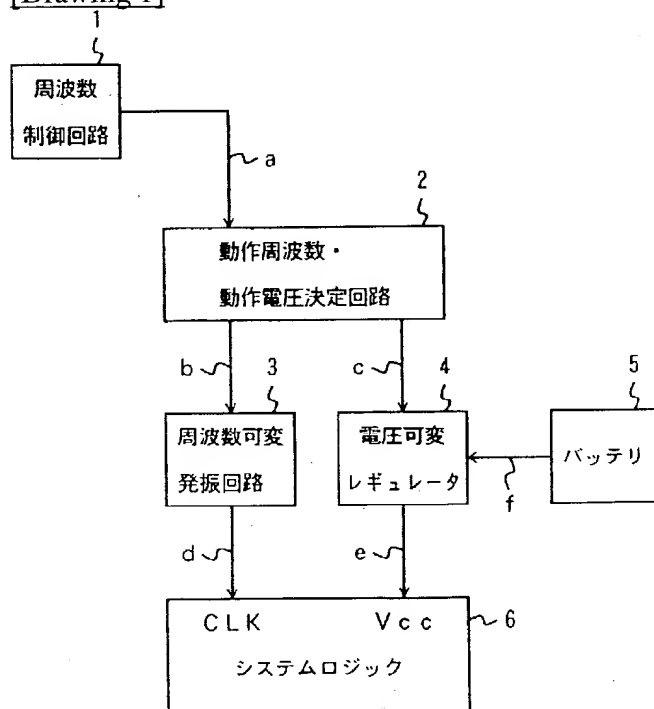
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

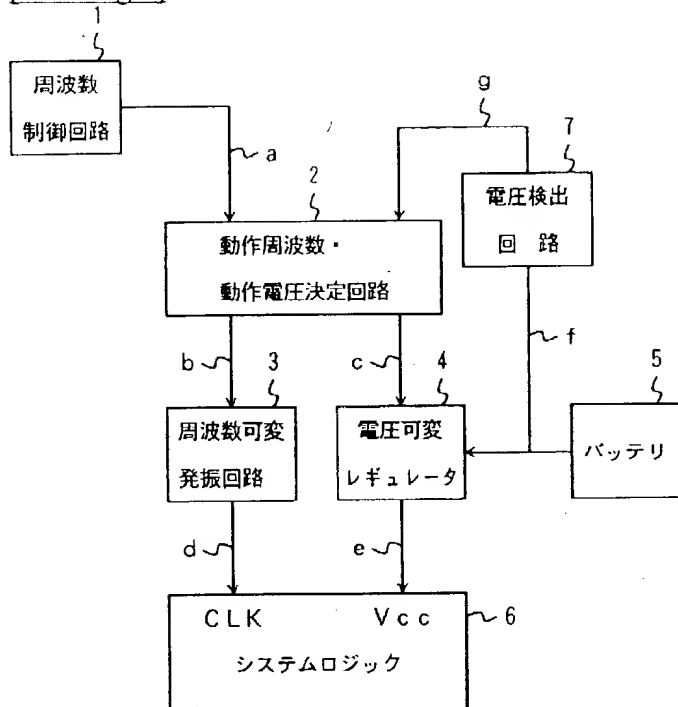
[Drawing 3]



[Drawing 1]



[Drawing 2]



[Translation done.]